

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) VARIABLE GAIN AMPLIFIER

(11) 3-46407 (A) (43) 27.2.1991 (19) JP

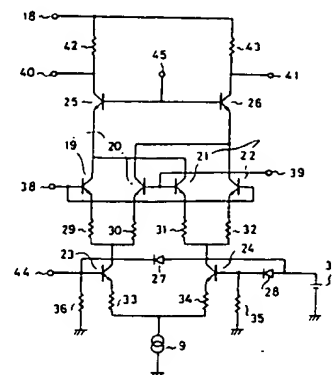
(21) Appl. No. 64-182002 (22) 14.7.1989

(71) NEC CORP (72) TAKUMI DEGUCHI

(51) Int. Cl.⁵. H03G3/10

PURPOSE: To obtain a variable gain amplifier whose output phase is not inverted by providing a voltage limit circuit to a 3rd transistor(TR) pair which synthesizes outputs of 1st and 2nd TR pairs different in gain and controls the DC current to control the gain.

CONSTITUTION: First and second TR pairs 9, 20 and 21, 22 are different in gain and collector signals in inverted relation are synthesized and outputted. Common base amplifiers 25, 26 are used as loads to the said TR pairs to improve the frequency characteristic. Moreover, 3rd TR pairs 23, 24 with a voltage control circuit limiting a DC current and a constant current source 9 are provided as the constant current source of the said TRs. Since one base potential is not lower than the other base potential with diodes 27, 28 of the voltage limit circuit, the gain control voltage is limited. Thus, the inversion of the output phase is prevented.



18: power source terminal, 40,41: output terminal, 38,39: input terminal, 44: gain control terminal, 9: constant current source, 45: bias terminal

(54) CLOCK

(11) 3-46408 (A) (43) 27.2.1991 (19) JP

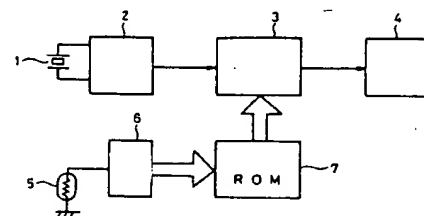
(21) Appl. No. 64-180599 (22) 14.7.1989

(71) JECO CO LTD (72) NORIO MIYAHARA(1)

(51) Int. Cl.⁵. H03K5/00,G04G3/02

PURPOSE: To improve the accuracy of a crystal controlled oscillation type clock such as X-cut type by adjusting a primary oscillated frequency division ratio with a temperature - frequency division ratio data of a crystal resonator written in a ROM.

CONSTITUTION: An X-cut crystal resonator 1 is driven by an oscillation circuit 2 and its output is inputted to a frequency division ratio adjustment circuit 3. On the other hand, a temperature sensor detects ambient temperature, its output is processed into a data by a temperature measuring section 6 and inputted to an address port of a correction data ROM 7. The temperature - frequency division ratio data obtained from the temperature - frequency deviation characteristic of the resonator 1 is written in the ROM 7. The data is inputted to the frequency division ratio adjustment circuit 3. Thus, the circuit 3 frequency-divides the reference frequency inputted from the oscillation circuit 2 with an output data of the ROM 7, and outputs the reference signal without any temperature change to a clock count section 4.

**(54) PHASE SHIFTER FORMED INTO MONOLITHIC INTEGRATED CIRCUIT**

(11) 3-46409 (A) (43) 27.2.1991 (19) JP

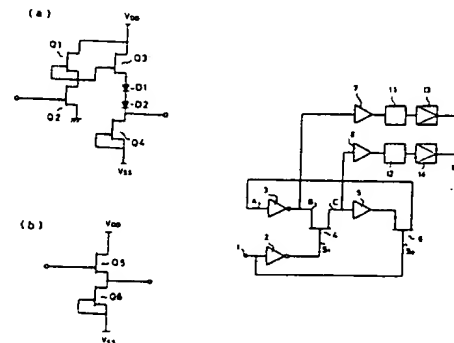
(21) Appl. No. 64-182012 (22) 14.7.1989

(71) NEC CORP (72) MASARU TAKAHASHI

(51) Int. Cl.⁵. H03K5/15

PURPOSE: To form the entire phase shifter into a monolithic integrated circuit by employing components such as a FET or a diode configured as a monolithic integrated circuit to constitute the phase shifter.

CONSTITUTION: Inverters 2, 3 consist of GaAs Schottky barrier gate FETs Q1-Q4 and diodes D1, D2. Moreover, buffers 5, 7, 8 are constituted of GaAs Schottky barrier gate FETs Q5, Q6 to configure the entire phase shifter with a monolithic integrated circuit. Through the constitution above, a frequency twice equivalent to a phase difference of 90° to be required is inputted to an input terminal 1. The input signal is fed to transfer gates 4, 6 by the phase inverting inverter 2 with a phase difference of 180°. Because of the storage latching by the input capacitance of the inverter 3 and the buffer 5, a signal with a half the input frequency and a phase difference of 90° is generated at points B, C. The signals are amplified and outputted respectively at output terminals 9, 10.



⑫ 公開特許公報(A) 平3-46408

⑤ Int. Cl.³H 03 K 5/00
G 04 G 3/02

識別記号

F
D

庁内整理番号

8321-5 J
7809-2 F

⑬ 公開 平成3年(1991)2月27日

審査請求 未請求 請求項の数 2 (全3頁)

⑭ 発明の名称 時計

⑮ 特 願 平1-180599

⑯ 出 願 平1(1989)7月14日

⑰ 発 明 者 宮 原 紀 夫 埼玉県行田市富士見町1丁目4番地1 ジェコー株式会社
内⑱ 発 明 者 勘 田 義 則 埼玉県行田市富士見町1丁目4番地1 ジェコー株式会社
内

⑲ 出 願 人 ジェコー株式会社 埼玉県行田市富士見町1丁目4番地1

⑳ 代 理 人 弁理士 山川 政 樹 外3名

明 細 書

1. 発明の名称

時計

2. 特許請求の範囲

(1) 温度以外の外的要因に対して比較的安定な発振周波数を示す振動体の周波数を検出し、そのパルス数を計数してそれを表示する時計において、上記振動体の周囲温度を検出する温度検出手段と、該温度検出手段より得られたデータを利用して、上記振動体の温度一周波数偏差特性を補正するデータが書き込まれているROMと、該ROMのデータにより原発振分周比を調整する分周比調整手段とを具備することを特徴とする時計。

(2) 温度以外の外的要因に対して比較的安定な発振周波数を示す振動体の周波数を検出し、そのパルス数を計数してそれを表示する時計において、上記振動体の周囲温度を検出する温度検出手段と、該温度検出手段より得られたデータを利用して、上記振動体の温度一周波数偏差特性を補正するデータが書き込まれているROMと、該ROMのデータ

により時刻修正を自動的に操作する時刻修正手段とを具備することを特徴とする時計。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、温度以外の外的要因に対して比較的安定な発振周波数を示す水晶振動子などの振動体を原発振源として用いる時計に関するものである。

〔従来の技術〕

水晶発振式時計は腕時計、一般用置き時計、掛け時計、自動車用時計、その他の業務用時計と広範囲に使用されている。この水晶発振式時計の時計精度は水晶振動子の発振周波数精度で決定してしまいが、その精度安定性は水晶振動子の環境温度に左右され、業務用時計等高精度が要求される場合にはオープンと呼ばれる恒温槽に水晶発振子を入れて発振周波数の安定化を図っている。

一般用の時計においても高精度化のニーズはあるものの、オープンを付加することによる消費電流の増加が無視できず、電池駆動が一般化されている現在、時計精度は水晶振動子の温度一周波数

偏差特性に依存している。

これよりオープンを使用しない水晶発振式時計に関して言及し、以下、水晶発振式腕時計をウォッチ、水晶発振式一般用置き時計、掛け時計、自動車用時計を3点含めてクロックと称す。

オープンを使用しない一般用の時計においては、ウォッチが最も高精度であり、家庭用置き、掛け時計、自動車用時計の順で精度が悪い。

ウォッチは体に身に付けている時間が長いので、水晶振動子は体温によりほぼ一定の温度環境であるため、実質的に高精度が期待できるのに対して、クロックは環境温度によつて常に精度が変化し累積誤差を発生している。

ところで、水晶振動子はその構造によつて発振周波数及び温度特性が異なることが知られている。例えば、Xカット型水晶振動子は32 KHz帯の発振周波数を有し、その温度一周波数偏差特性は第2図のような2次曲線を示し実質的使用環境温度幅の狭いウォッチに應用されている。

また、時計用として知られているATカット型

振周波数の低いものに対応するICの方が安い。それは分周回路の段数が少なくてよいためチップサイズが小さくなることと、ICの動作スピードが遅いものでよいため比較的古いIC製造設備が使用できるからである。

また水晶振動子のコストは、ATカット型的水晶振動子よりもXカット型水晶振動子のほうが一般的に安いものである。

本発明は以上の点に鑑みてなされたもので、時計の原発振源の温度一周波数偏差特性を補正し時計精度を向上させることを目的とする。

〔課題を解決するための手段〕

上記の目的を達成するため、本発明に係る時計は、時計の原発振源となる振動体の周囲温度を検出する温度検出手段と、該温度検出手段より得られたデータを利用して、上記振動体の温度一周波数偏差特性を補正するデータが書き込まれているROMと、そのROMのデータにより原発振分周比を調整する分周比調整手段とを具備することを特徴とする。

の水晶振動子は4 MHz帯の発振周波数を有し、その温度一周波数偏差特性は第3図のような3次曲線を示し、使用環境温度幅の広いクロックに應用されている。

〔発明が解決しようとする課題〕

しかしながら、ウォッチとクロックの精度の差は大きく、一般ユーザからみれば同じ水晶発振式時計であり、その差が「なぜ改善できないのか」が理解されないために、クロックの精度向上が必要となつた。

一方、時計用のICは一般にCMOS-ICが使用されており、その消費電流は時間当りのスイッチング回数で決定すると考えられる。ウォッチにしてもクロックにしても、電池駆動の物が多く消費電流低下は好ましい。従つて発振周波数の低い水晶振動子を使用したいが、発振周波数の低いXカット型水晶振動子はウォッチで使えても、クロックではATカット型的水晶振動子を使用せざるを得ない。

さらにICのコストを見ると、水晶振動子の発

また、本発明の別の発明に係る時計は、時計の原発振源となる振動体の周囲温度を検出する温度検出手段と、該温度検出手段より得られたデータを利用して、上記振動体の温度一周波数偏差特性を補正するデータが書き込まれているROMと、該ROMのデータにより時刻修正を自動的に操作する時刻修正手段とを具備することを特徴とするものである。

〔作用〕

したがつて、本発明においては、ROMに書き込まれたデータにより振動体の温度一周波数偏差特性を補正することにより、温度の変化の無い時計信号が得られ、時計精度を向上させることができる。

〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第1図は本発明に係る時計の一実施例を示すブロック図である。第1図において、1は原発振源の水晶振動子、2はその発振回路、3は後述する

ROMのデータにより原発振分周比を調整する分周比調整回路、4はその回路3の出力パルスつまり基準信号を計数する時計計数部である。また、5は水晶振動子1の周囲温度を検出する温度センサ、6はその温度計測部、7は水晶振動子1の温度一周波数偏差特性を補正するデータが書き込まれた補正データROMであり、このROM7より読み出されたデータが分周比調整回路3に入力されている。

上記実施例構成の時計において、水晶振動子(Xカット型)1は発振回路2で駆動され、発振周波数 f_0 で振動する。すると、この発振回路2の出力が分周比調整回路3に入力される。一方、温度センサ5は周囲温度を検出し、その出力が温度計測部6で温度データ化され、補正データROM7のアドレスポートに入力される。また、補正データROM7には水晶振動子1の温度一周波数偏差特性から得られる温度一分周比データが書き込まれており、そのデータは分周比調整回路3に入力されている。そのため、分周比調整回路3は、発振回路2から入力された基準周波数を補正

データROM7の出力データによつて分周し、温度変化の無い基準信号を時計計数部4に出力する。これによつて環境温度に左右されることなく、時計精度を高めることができる。

なお、上述の実施例ではROM7のデータにより原発振源の分周比を調整する場合について示したが、本発明はこれに限らず、ROM7の出力データによつて時刻修正機構を自動的に操作するように構成することにより、上記実施例と同様の効果を得ることもできる。

また、原発振源の振動体は、温度以外の要因に関して周波数安定性が良好であれば、水晶振動子以外のものでも良い。

〔発明の効果〕

以上説明したように本発明によれば、補正データROMに書き込まれている温度一分周比データによつて水晶振動子等の振動体の温度一周波数偏差特性を補正できるため、その振動体として今まで温度特性が悪いとされていたXカット型等の水晶振動子が使用温度範囲の広いクロックにも応用可

能となる。

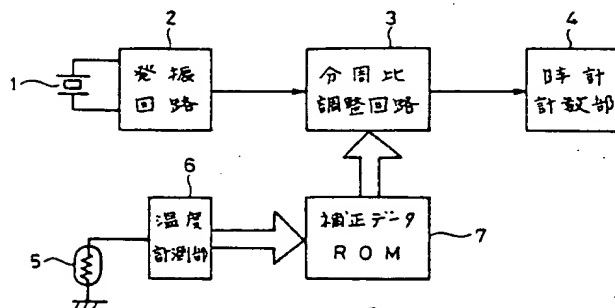
また、温度一周波数偏差特性の良否にかかわらず、振動体として32 KHz等の低い発振周波数の水晶振動子が使用でき、その水晶振動子と時計用ICのコストダウンが得られ、かつ低消費電流化が得られる等の効果がある。

4. 図面の簡単な説明

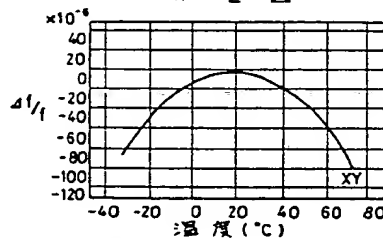
第1図は本発明の一実施例を示す基本的なブロック図、第2図及び第3図はそれぞれ一般的Xカット、ATカット型水晶振動子の温度一周波数偏差特性を示す図である。

1・・・水晶振動子、2・・・発振回路、3・・・分周比調整回路、4・・・時計計数部、5・・・温度センサ、6・・・温度計測部、7・・・補正データROM。

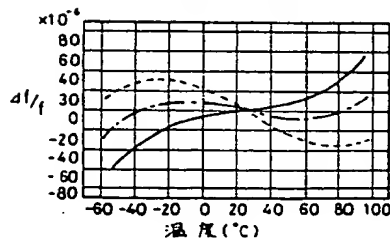
第1図



第2図



第3図



特許出願人 ジェコ株式会社

代理人 山川政樹